

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358305

(43)Date of publication of application : 26. 12. 2001

(51) Int. Cl.

H01L 27/04
H01L 21/822
H01L 21/82
H01L 21/60

(21)Application number : 2000-179542

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15. 06. 2000

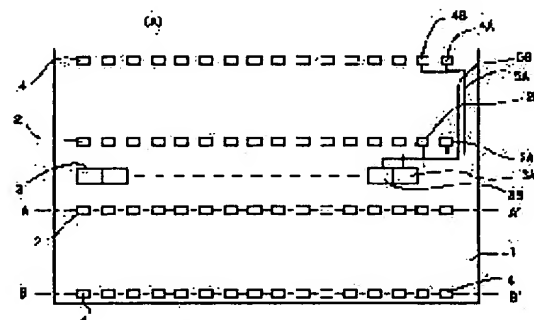
(72)Inventor : KAMEDA YASUSHI

(54) SEMICONDUCTOR DEVICE

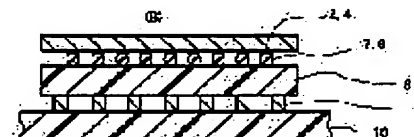
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device of a flip-chip capable of being tested in a package in association with a high speed operation of the device.

SOLUTION: The semiconductor device comprises dummy pads linearly provided around a semiconductor chip 1, center pads 2 provided at a central line region of the chip 1, an input circuit 3 provided at the central line region of the chip 1, and input wirings 5 for connecting the respective input circuits 3 to the respective pads 4, and the pads 2. Its operating test in the package can be performed by connecting dummy pads to respective leads of a testing unit by using wirings.



1: 半導体基板 2: 入力配線
3: 入力回路 4: 入力端子
5: 入力配線



1: 半導体基板
2: 入力配線
3: 入力回路
4: 入力端子
5: 入力配線

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358305

(P2001-358305A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int. CL ¹	識別記号	F I	テ-マ-ト [*] (参考)
H 0 1 L	27/04	H 0 1 L	27/04
	21/82		21/82
	21/82		21/92
	21/60		27/04
			6 0 2 P
			T
			E 5 F 0 3 8
			P 5 F 0 6 4

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2000-179542 (P2000-179542)

(22) 出願日 平成12年6月15日 (2000. 6. 15)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 亀田 靖

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083161

弁理士 外川 英明

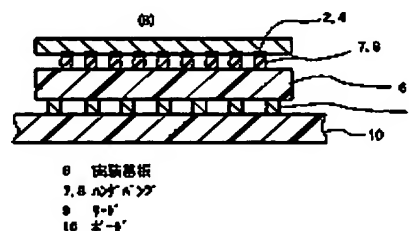
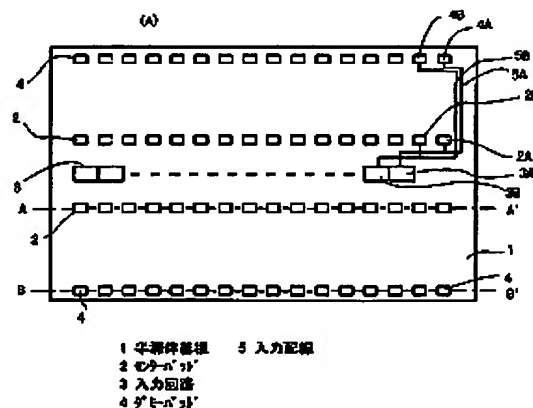
F ターム (参考) 5F038 BE05 BE07 BE10 CA18 DT04
DT15 EZ20
5F064 BB13 BB26 BB31 BB33 CC12
DD39 DD46 DD60 EE53 FF12
FF24 FF36

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置の高速動作化に伴い、パッケージでテストが可能なフリップチップの半導体装置を提供する。

【解決手段】 半導体チップ1周囲に直線状に設けられたダミーパッド4と、半導体チップ1の中心線領域に設けられたセンターパッド2と、半導体チップ1中心線領域に設けられた入力回路3と、各入力回路3と各ダミーパッド4及び各センターパッド2とを接続する入力配線5とを設けた半導体装置とすることで、テスト装置の各リードからワイヤーを用いて各ダミーパッドとを接続して、パッケージでの動作テストを可能とする。



【特許請求の範囲】

【請求項1】主表面が4辺からなる方形の半導体基板と、

該半導体基板中に設けられ、外部からの信号が入力される複数個の入力回路と、

前記複数個の入力回路のいずれかひとつに接続され、前記半導体基板の縦または横方向の中心線周辺領域に設けられたセンターパッドと、

前記センターパッドが接続された入力回路に接続され、前記半導体基板の主表面の4辺のいずれかの辺の周辺領域に設けられたダミーパッドとを有することを特徴とする半導体装置。

【請求項2】前記入力回路と前記ダミーパッドとの間に切り替え回路が設けられ、テスト制御信号によりテスト時に前記入力回路と前記ダミーパッドとを接続し、テスト時以外は前記入力回路と前記ダミーパッドとを接続しないことを特徴とする請求項1記載の半導体装置。

【請求項3】前記入力回路の個数と前記ダミーパッドの個数とが等しいことを特徴とする請求項1又は2いずれか記載の半導体装置。

【請求項4】前記ダミーパッドの個数は前記入力回路及び前記センターパッドそれぞれの個数よりも少ないことを特徴とする請求項1又は2いずれか記載の半導体装置。

【請求項5】前記ダミーパッドが複数個設けられ、テスト指示信号が入力され、このテスト指示信号の電位レベルの組み合わせに応じてテストを実行する回路へテスト信号を出力するデコーダを有することを特徴とする請求項1乃至4いずれか記載の半導体装置。

【請求項6】主表面が4辺からなる方形の半導体基板と、

前記半導体基板中に設けられ、外部からの信号が入力される入力回路と、

前記入力回路に接続され、前記半導体基板の縦又は横方向の中心線周辺領域に設けられたセンターパッドと、

前記入力回路に接続されていない配線に接続され、前記半導体基板の主表面の縦又は横方向の2辺または4辺それぞれに沿った周辺領域に連続して列状に設けられた複数個のダミーパッドとを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップを使用する半導体装置に関し、特に大規模高集積化された高速動作を行う半導体装置に使用されるものである。

【0002】

【従来の技術】近年、半導体装置は高速度高密度化が進み、特にSRAMにおいては、数100MHzレベルの高速化が要求されている。従来の半導体基板の周辺にパッドが置かれるラウンドパッド形状の半導体装置では、

複数のパッドが半導体基板周囲に沿って、設けられている。各パッドは、一辺が約100 μ mで、各ピッチ間隔は約50から100 μ mとして設けられている。ラウンドパッド形状の半導体装置では、各パッドと半導体装置を実装基板に接続する接続電極であるリードとをワイヤーボンディングを用いて接続する場合がある。

【0003】このような従来のワイヤーボンディング方式では、各リードと各パッドとを接続するワイヤーの長さが均一に出来ず、パッド毎にバラツキを生じていた。消費電流の大きい高速のメモリなどでは、リードのインダクタンスにより、大きなノイズを生じてしまい、高速化が難しかった。

【0004】これに対し、図10(A)に示されるような複数のパッド51が半導体基板50主表面の中心線付近領域に設けられたセンターパッド方式のフリップチップがある。このフリップチップでは、図10(A)のC-C'線での断面図である図10(B)に示されるように、半導体基板50上のパッドの上にハンダバンプ52を乗せ、半導体基板の裏面（回路素子が形成される表面の反対側の半導体基板面）が上になるように実装基板53の上に配置し実装基板53表面上に設けられた配線と接続している。この実装基板53はリード54を介して実装基板を複数個搭載しているボード55上の配線に接続される。この場合、半導体基板表面の各パッド51は一辺が約75 μ mから100 μ mで、各パッド間隔は約200 μ m程度で数十個程度設けられている。

【0005】ここで、各パッド間隔がワイヤーボンディング方式の場合に比べて大きくなっているのは、パッド上にハンダバンプを設けているため、ハンダバンプの大きさを考慮して余裕を設けているためである。半導体記憶装置では、半導体基板中のメモリセルは通常半導体基板の中心線付近以外の領域に形成され、周辺回路が半導体基板の中心線に沿って設けられているため、周辺回路からもっとも近い領域にパッドを設けるセンターパッド方式が配線長を短くする上で好適である。

【0006】このようなフリップチップ方式の半導体装置では、半導体装置が実装される実装基板53が多層構造である場合、実装基板53の設計をうまく行えば各パッド51から実装基板53内の配線及び各リード54を介したボード55に至る各配線長を均一にすることが出来、インダクタンスも小さくすることが可能である。以上のことから、高速化（高周波数化）に伴い高速メモリにおいては、フリップチップの製品が増えつつある。

【0007】

【発明が解決しようとする課題】以上のような従来の半導体装置では、以下の課題が生じる。

【0008】高速化の要求から、高速メモリ製品においては、パッドをチップの中央にまとめて配置すると、実装基板と半導体チップとの接続部分が半導体チップ中央のみとなり、接続部分が偏ることで、接続強度が弱く非

常に不安定になってしまう。そこで、一部のパッドをチップの周辺部分に配置し、これを機械的な支えとして利用する技術が特開平10-189653号公報の図1などに記載されている。

【0009】しかし、半導体基板表面上に広範囲にわたってパッドを配置した場合、チップの熱膨張率と実装基板の熱膨張率が異なるため、ハンダバンプの位置と実装基板の接続部分がずれてしまう。このため、実装基板とすべてのハンダバンプとの接続を高精度に図ることは困難である。

【0010】ところで、新たに設計製造された半導体装置は量産を開始する前にその動作をテストし、設計通りの動作を行うことを確認する必要がある。この場合、ウェーハ状態でのテストとパッケージでのテストがある。ウェーハ状態でのテストでは、テスターとウェーハ上のパッドとの接続が針でなされるだけなので、各針ごとのインダクタンスが大きくなってしまい、各針のインピーダンスを合わせて高速テストを行うことは日状に難しい。このため、図11に示すようなパッケージ56に入れて評価する方法が用いられてきた。図11に示すように、半導体基板57上のパッド59とパッケージ56の先端のリード58とをワイヤー60で接続し、リード58より信号を与える。

【0011】このため、高速動作が要求される半導体装置では、パッケージテストが欠かせないものとなっている。以上のように、高速動作させた状態で、図11のD-D'線上の断面の一部分を示した図12に示されるように、半導体基板57内の被測定部分となる配線62上の絶縁膜63に開口部61を設けて、その開口部61に直径1μm程度の針64を当て、高速動作での波形を観測していた。

【0012】しかし、フリップチップでは、図10(B)に示されるようにチップ裏面が上になってしまうために、物理的に針を当てることはできない。さらにウェーハ状態でも、各パッドがチップ中央部分に固まっているため、針を当てて内部波形を観察することが難しい。

【0013】このように、従来の半導体装置では、フリップチップに対して、高速動作でのテストは難しく、チップ内部に針を当てて波形を観察することが難しい。

【0014】本発明の目的は以上のような従来技術の課題を解決することにある。

【0015】特に、本発明の目的は、パッケージで高速動作テストが可能なフリップチップを備えた半導体装置を提供することにある。

【0016】本発明の他の目的は、チップ面積の増大を招かずにパッケージで高速動作テストが可能なフリップチップを備えた半導体装置を提供することにある。

【0017】本発明の他の目的は、入力容量の増大を招かずにパッケージで高速動作テストが可能なフリップチ

ップを備えた半導体装置を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の特徴である半導体装置は、主表面が4辺からなる方形の半導体基板と、該半導体基板中に設けられ、外部からの信号が入力される複数個の入力回路と、前記複数個の入力回路のいずれかひとつに接続され、前記半導体基板の縦または横方向の中心線周辺領域に設けられたセンターパッドと、前記入力回路のうち、前記センターパッドが接続された入力回路に接続され、前記半導体基板の主表面の4辺のいずれかの辺の周辺領域に設けられたダミーパッドとを有することで、パッケージで動作試験が可能となる。

【0019】さらに本発明の第2の特徴である半導体装置は、主表面が4辺からなる方形の半導体基板と、前記半導体基板中に設けられ、外部からの信号が入力される入力回路と、前記入力回路に接続され、前記半導体基板の縦または横方向の中心線周辺領域に設けられたセンターパッドと、前記入力回路に接続されていない配線に接続され、前記半導体基板の主表面の縦または横方向の2辺または4辺それぞれに沿った周辺領域に連続して列状に設けられた複数個のダミーパッドとを有することで、半導体装置を実装基板上に搭載した場合に搭載姿勢の安定化を図ることが可能となる。

【0020】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は、現実のものとは異なる。従って、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

（第1の実施の形態）本発明にかかる第1の実施の形態にかかる半導体装置を、図1及び図2を用いて説明する。

【0021】半導体装置の上面図である図1(A)に示されるように、その主表面が4辺を有する方形の半導体基板1には、その長手方向に沿った中心線付近の領域の表面上にセンターパッド2が複数個設けられている。この例では、センターパッド2が2列に渡って、直線的に配置されている。これらセンターパッド2の列間の半導体基板1中に複数個の入力回路3が設けられている。フリップチップ本来のパッドであるセンターパッド2と半導体基板1の4辺のうちの長手方向に沿った2辺の各周辺にダミーパッド4が複数個一列に渡って設けられている。ダミーパッド4は半導体装置の通常動作においては使用されるものではなく、半導体装置のテスト時に使用されるものである。これらセンターパッド2とダミーパ

ッド4は一對として入力回路3に入力配線5により接続される。こうして、すべての入力回路3はいずれかの一対のセンターパッド2及びダミーパッド4にそれぞれ接続される。

【0022】ここで、図1(A)中右端の入力回路3Aは、上段右端のセンターパッド2A及び上列の右端のダミーパッド4Aに入力配線5Aを介して接続されている。さらに右から2番目の入力回路3Bは、上段右端から2番目のセンターパッド2B及び上列の右端から2番目のダミーパッド4Bに入力配線5Bを介して接続されている。このように複数の入力回路3は順次入力配線5を介して、いずれかの一対のセンターパッド2及びダミーパッド4に接続されている。半導体記憶装置の場合、主表面に渡って、メモリセルが形成されていて、配線を設ける余裕がないため、半導体チップ周辺に沿ってダミーパッドと入力回路を接続する配線が形成されている。なお、多層配線の層数を増やせば、メモリセル中に最短距離にてダミーパッドと各入力回路を接続する配線を設けることが可能である。

【0023】図1(B)は本実施の形態の半導体装置を実装基板6に搭載した状態での図1(A)で破線A-A'上及び破線B-B'上での断面図である。半導体装置を実装基板6に搭載するため、センターパッド2上にハンダバンプ7、ダミーパッド4上にはハンダバンプ8が形成される。半導体基板1上の各パッド2、4の上にハンダバンプ7、8を乗せ、半導体基板の裏面(回路素子が形成される表面の反対側の半導体基板面)が上になるように実装基板6の上に配置する。ここで、センターパッド2上のハンダバンプ7については、実際に信号を入力する必要があるため、実装基板6表面上に設けられた配線(図示せず)と接続している。ただし必ずしもすべてのセンターパッド2上のハンダバンプ7を実装基板6上の配線と接続する必要はない。これは一部のセンターパッドが入力回路に接続されずに半導体装置の動作に利用されない場合があるからである。これに対し、ダミーパッド4上のハンダバンプ8は半導体装置の動作に利用されるものではないため、実装基板6上の配線に接続されず、実装基板6上の絶縁層(図示せず)に接続される。この実装基板6はリード9を介して実装基板6を複数個搭載しているボード10上の配線に接続される。この場合、半導体基板表面の各パッド2、4は一辺が約75 μ mから100 μ mで、各パッド間隔は約200 μ m程度で数十個程度設けられている。

【0024】ここで、複数のダミーパッド4上に形成されたハンダバンプ8は半導体基板1を実装基板6上に搭載する際の機械的な応力の支えとなる。特に半導体基板1表面の長手方向の2辺周辺領域に列状に均一な間隔で複数のダミーパッド4上のハンダバンプ8を設けることで、半導体装置を実装基板上に搭載した場合に各ダミーパッド4上のハンダバンプ8に均一に荷重が負荷さ

れて、実装基板上での半導体装置の実装位置が実装基板の上表面に対して平行になり、半導体装置の実装基板に対する姿勢が安定する。さらにダミーパッド4上にハンダバンプ8を設けたため、従来センターパッド2上のハンダバンプ7に集中していた荷重がダミーパッド4上のハンダバンプ8にも分散されて荷重されるため、センターパッド2上のハンダバンプ7への荷重集中によるセンターパッド2上のハンダバンプ7の破壊不良を防止できる。ダミーパッド4下は通常のセンターパッド2と同一構造にしておく必要があり、パッド分のスペースも必要になる。ダミーパッドは通常動作時には信号を与えるべきものではないので、実装基板に搭載する際には絶縁体上に接続すれば、機械的接続性を向上できる。また、多少の接続時の位置ずれが生じても電気的接続を図るパッドではないので位置ずれによる誤差は問題にならない。このように形成された半導体装置では、ダミーパッドを半導体チップ周辺に複数個設けて、実装基板に搭載した際の機械的強度を向上することができる。

【0025】本実施の形態の半導体装置をテストする時には、ハンダバンプを形成していない状態で図2に示されるように確認が必要な配線部分上にレーザーやFIB(フィールドイオンビーム)法により、半導体基板1表面に開口部11を設ける。半導体基板1外部からテスト装置のパッケージ12に取り付けられたリード13と、リード13の先端と半導体基板1上のダミーパッド4とを接続するワイヤー14とを介して信号を与える。さらに、開口部11下に露出した半導体基板1内部の各信号線に直接針を立て、その信号をモニターし期待通りの波形になっているかを確認する針当て方法を用いる。針当て方法は従来例として示された図12に示されたものと同様である。このような測定方法では数100MHz程度の高速動作試験が可能である。この針当て方法を用いて、リード13から各ダミーパッド4に接続されたワイヤー14を介して信号を入力し、電位波形を測定する。このようにテスト時にはセンターパッド2はリード13との接続を行わず、信号を入力しない。

【0026】ここで、ダミーパッド4は入力回路の個数分設けてもよい。さらに場合により、特に高速動作のテストが必要とされる入力回路3の個数に応じた個数分ダミーパッド4を設けてもよい。

【0027】なお、ダミーパッド4は通常は回路素子が設けられていない半導体基板1の周辺領域に設けられているため、ダミーパッド4用のための領域を新たに半導体基板1中に設ける必要はない。このようにダミーパッド4を設けるために半導体基板1の表面積をダミーパッド4分増加させる必要はないため、半導体基板の面積増にはならない。

【0028】本実施の形態の半導体装置を被テスト用半導体装置とすることで、テスト装置の各リードと被テスト用半導体装置の各ダミーパッドとをワイヤーで接続し

てテスト環境を準備するには数日もあれば可能であり、半導体装置開発過程で、早期に半導体装置のテストを実行できる点で開発スピードを向上できる。

（第1の実施の形態の変形例）図3に示されるように第1の実施の形態で設けられたダミーパッド4に加えて、入力回路3に接続されない、機械的強度を図る目的のダミーパッド15を半導体基板1の短手方向の辺に沿った周辺領域に列状に連続して等間隔で複数個設ける。機械的強度向上を目的としたダミーパッドは、半導体チップ周囲に沿って、密に設けるほどその効果が向上する。ただし、ダミーパッド4、15上に形成されるハンダバンプを用いて実装基板に接続を図る必要があるため、ダミーパッド相互にハンダバンプ形成のための位置合わせ余裕を設けた上で設定する。

【0029】ここで、機械的強度を図る目的のダミーパッド15は半導体基板表面に設けられた半導体基板の周辺部にセンターパッド2やテスト用に使用されるダミーパッド4のように半導体基板表面上のパッシベーション層（図示せず）に穴を開けることはせず、パッシベーション層の上に設けられる。このように機械的強度を図る目的のダミーパッド15は、半導体基板1中の回路との電気的接続は行わない。

【0030】なお、機械的強度を図るためのダミーパッドの配置位置はセンターパッドが存在しない部分に均一に配置することが好ましいが、適宜配置位置は実装基板との関係で設計できる。また、機械的強度向上のためのダミーパッド15は、必ずしも等間隔で設ける必要はないが、等間隔で設けることでより荷重の分散を図ることができる。

（第2の実施の形態）第1の実施の形態では、1つの入力回路3にセンターパッド2とダミーパッド4の2つのパッドが接続され、入力容量が配線長の増加により増加してしまう。これを回避するために、テスト用（針当てなどラウンドパッドと同一手法の評価を行う時）と製品版（フリップチップ時のパッド）の2種類のメタルマスクを用意する。このように図4に示されるようにテスト時にはテスト用のマスクを用いて製造された各ダミーパッド4と各入力回路3が入力配線16を介して接続され、各センターパッド2は各入力回路3に接続されていない半導体装置を用意する。

【0031】ここでは、二つの入力回路3A、3Bが入力配線16A、16Bを介してダミーパッド4A、4Bにそれぞれ接続された状態を示しているが、各入力回路3はそれぞれ対応する入力配線16を介して対応する各ダミーパッド4に接続されている。この半導体装置を用いて第1の実施の形態で説明されたように動作テストを行う。

【0032】また、テストを終えて動作確認が完了した段階でマスクを変更して、図5に示されるように各ダミーパッド4は各入力回路3に接続されず、各センターパ

ッド2が各入力回路3に接続された半導体装置として製造し、1つの入力回路3に1つのセンターパッド2のみが接続された半導体装置とする。ここでは、二つの入力回路3A、3Bが入力配線17A、17Bを介してセンターパッド2A、2Bにそれぞれ接続された状態を示しているが、すべての各入力回路はそれぞれ対応する入力配線17を介して対応するセンターパッド2に接続されている。

【0033】また、ダミーパッド4A、4Bにはそれぞれ入力配線18A、18Bが接続されているが、この配線は入力回路3などの回路素子には接続されていない。このようにすることで、半導体装置の通常動作上での評価用配線の影響を遮断して配線容量の増加を防ぐことができる。

【0034】ダミーパッドは通常動作時には信号を与えるべきものではないので、実装基板に搭載する際には絶縁体上に接続すれば、機械的接続性を向上できる。また、多少の接続時の位置ずれが生じても電気的接続を図るパッドではないので位置ずれによる誤差は問題にならない。このように形成された半導体装置では、ダミーパッドを半導体チップ周囲に複数個設けて、実装基板に搭載した際の機械的強度を向上することができる。

【0035】さらにこの実施の形態では、通常使用時のダミーパッドは入力回路には接続されていないので、実装基板上に搭載する際には絶縁体を必ずしも絶縁体を介さずに接続可能である。

【0036】なお、第1の実施の形態の変形例で示されたようなダミーパッドの配置をこの第2の実施の形態において行なってもよい。

（第3の実施の形態）本実施の形態では、第2の実施の形態において入力配線をメタルマスクで切り替えていたものをトランジスタのスイッチ（針当てテスト信号）で切り替える。

【0037】図1で示された入力回路3A、センターパッド2A、ダミーパッド4A、入力配線5Aの接続部分を取り出し、その入力配線5Aの途中にバッファ回路19A、19B、及び切り替え回路20を設けている。切り替え回路20は入力回路3に接続されたすべてのダミーパッド4に入力配線5の途中に設けられる。センターパッド2Aに接続されたバッファ回路19Aは電源電位VDDと接地電位VSSとの間に直列に接続されたPチャネルトランジスタとNチャネルトランジスタとを有していて、Pチャネルトランジスタ及びNチャネルトランジスタはそれぞれのゲートがセンターパッド2Aに接続され、それぞれのドレインが入力回路3Aに接続されている。

【0038】さらにダミーパッド4Aに接続されたバッファ回路19Bは電源電位VDDと接地電位VSSとの間に直列に接続されたPチャネルトランジスタとNチャネルトランジスタとを有していて、Pチャネルトラン

ジスタ及びNチャネルトランジスタはそれぞれのゲートがダミーパッド4Aに接続され、それぞれのドレインが切り替え回路20に接続されている。切り替え回路20は電源電位VDDと入力回路3Aとの間に直列に接続された2つのPチャネルトランジスタと、接地電位GNDと入力回路3Aとの間に直列に接続された二つのNチャネルトランジスタとを有して、電源電位VDDにソースが接続されたPチャネルトランジスタはそのゲートにテスト信号の反転信号TESTBが入力されている。接地電位GNDにソースが接続されたNチャネルトランジスタはそのゲートにテスト信号TESTが入力されている。切り替え回路20のうち、ゲートがバッファ回路19Bに接続されたPチャネルトランジスタ及びNチャネルトランジスタはそのドレインが入力回路3Aに接続されている。テスト時のみテスト信号TESTをHレベルとして、切り替え回路20はオン状態となり、通常動作時にはテスト信号TESTはLレベルとなり、切り替え回路20はオフ状態となる。

【0039】なお、テスト信号TESTはダミーパッド4のうちテスト信号入力用として設けられたパッドからテスト時には半導体装置に入力され、通常動作時にはセンターパッド2のテスト信号入力用パッドから半導体装置に入力される。テスト信号の反転信号TESTBはテスト信号TESTを半導体装置内のインバータなどを用いて反転させて利用してもよいし、ダミーパッド4にテスト信号反転信号入力パッドを設定して外部から入力してもよい。

【0040】このように本実施の形態では半導体装置外部から入力されるテスト信号TEST及びその反転信号TESTBに基づき、テスト時のみダミーパッド4と入力回路3とが接続され、通常動作時の配線容量の増加を防止できる。

【0041】なお、センターパッド2及びダミーパッド4にそれぞれ接続されたバッファ回路19は、外部から入力される信号の増幅を行い、入力回路に増幅された信号が入力される。

（第3の実施の形態の変形例）ここでは、図7に示されるように、図6における切り替え回路20をトランスファゲートとした切り替え回路21に置き換えている。この切り替え回路21はそれぞれのゲートにテスト信号TESTが入力されたNチャネルトランジスタ及びテスト信号の反転信号TESTBが入力されたPチャネルトランジスタをそれぞれのソース、ドレイン同士を接続させている。図6に示された切り替え回路20よりも素子数を少なくして、第3の実施の形態よりも回路面積を縮小することができる。

（第4の実施の形態）半導体記憶装置の動作テストでは、周辺回路やセンスアンプの不具合を解析する場合がほとんどであり、メモリセル部分を解析することは少ない。このため、全てのアドレスについて評価することは

なく、ごく一部のアドレスのみを動作させる場合がある。

【0042】このため、アドレスや入力信号は縮約して入力することがある。ここで、図8に示されるように、アドレスを1からM（Mは2以上の自然数）までであるとして、ダミーパッド4を入力回路3とデコード回路とを合わせたテスト回路22に接続する。テスト回路22からはアドレス選択信号SEL1からSELMが出力される。たとえば、ダミーパッド4A、4Bの入力がそれぞれLレベルの場合は、最下位セルを選択するアドレス選択信号SEL1が出力される。ダミーパッド4A、4Bの入力がそれぞれLレベル、Hレベルの場合は（最下位+1）のセルを選択するアドレス選択信号SEL2が出力される。さらにダミーパッド4A、4Bの入力がそれぞれHレベルの場合は最上位のセルを選択するアドレス選択信号SELMが出力される。また、ダミーパッド4A、4Bの入力がそれぞれHレベル及びLレベルの場合は（最上位-1）のセルを選択するアドレス選択信号SELM-1が出力される。

【0043】ここで、具体的なテスト回路22の一例は図9に示す通り、第1のダミーパッド4Aに接続された第1の入力回路3A及び第2のダミーパッド4Bに接続された第2の入力回路3Bが設けられている。この入力回路3A、3Bは出力信号OUT及びその反転信号であるOUTBを出力する。第1、第2の入力回路の相補出力信号はデコード回路を構成する2入力端子を有する4つのNAND回路23のうちの二つに入力される。これらNAND回路23の出力はそれぞれに接続されたインバータ24を介して、それぞれの入力信号に基づいて特定されたワード線などに入力される。このように二つのダミーパッドに入力された信号の組み合わせにより四つのセルのうちのいずれかひとつが選択できる。

【0044】以上のように、ダミーパッドが全てのセンターパッドに対応して割り当てられなくとも、アドレスを縮約するなどのようなテストをマスク作成時に作り込んでおけば、パッケージでのテストが可能となる。このように面積的に多数のダミーパッドを設けることができなくともテストが必要な部分を少数のダミーパッドだけを使用して効率的にテストできる。

【0045】

【発明の効果】本発明によれば、パッケージでの高速動作テストが可能なフリップチップを備えた半導体装置を提供することを可能とした。

【0046】さらに本発明によれば、チップ面積の増大を招かずにパッケージでの高速動作テストが可能なフリップチップを備えた半導体装置を提供することを可能とした。

【0047】さらに本発明によれば、入力容量の増大を招かずにパッケージでの高速動作テストが可能なフリップチップを備えた半導体装置を提供することを可能とし

た。

【図面の簡単な説明】

【図1】(A)は本発明の第1の実施の形態に係る半導体装置の上面図であり、(B)は、本発明の第1の実施の形態に係る半導体装置の断面図である。

【図2】 本発明の第1の実施の形態に係る半導体装置のテスト方法を説明する上面図である。

【図3】 本発明の第1の実施の形態の変形例に係る半導体装置の上面図である。

【図4】 本発明の第2の実施の形態に係る半導体装置のテスト用状態の上面図である。

【図5】 本発明の第2の実施の形態に係る半導体装置の通常動作状態の上面図である。

【図6】 本発明の第3の実施の形態に係る半導体装置の部分回路図である。

【図7】 本発明の第3の実施の形態の変形例に係る半導体装置の部分回路図である。

【図8】 本発明の第4の実施の形態に係る半導体装置の構成図である。

【図9】 本発明の第4の実施の形態に係る半導体装置の構成図の具体例を示す回路図である。

【図10】 (A)は従来の半導体装置の上面図であり、(B)は従来の半導体装置を実装基板及びボード上に搭載した断面図である。

【図11】 従来の半導体装置のテスト方法を説明する*

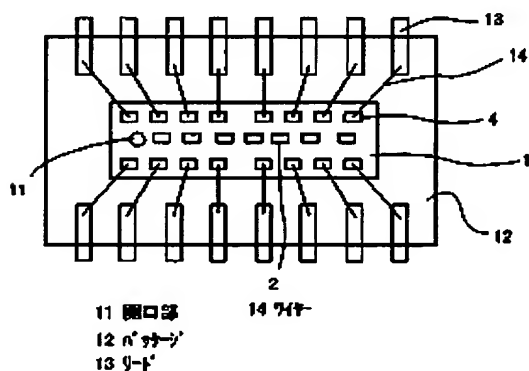
*上面図である。

【図12】 従来の半導体装置のテスト方法を説明する断面図である。

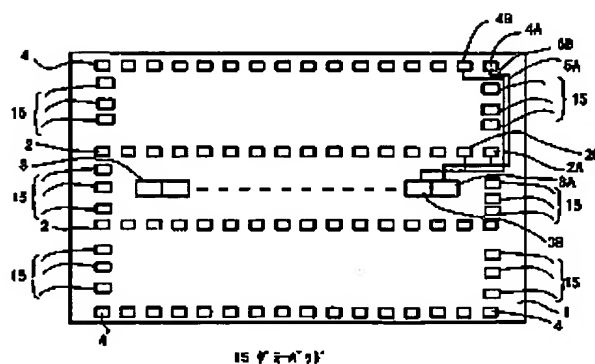
【符号の説明】

- 1 半導体基板
- 2 センターパッド
- 3 入力回路
- 4 ダミーパッド
- 5 入力配線
- 6 実装基板
- 7, 8 ハンダバンプ
- 9 リード
- 10 ボード
- 11 開口部
- 12 パッケージ
- 13 リード
- 14 ワイヤ
- 15 ダミーパッド
- 16, 17, 18 入力配線
- 19 バッファ回路
- 20, 21 切り替え回路
- 22 テスト回路
- 23 NAND回路
- 24 インバータ

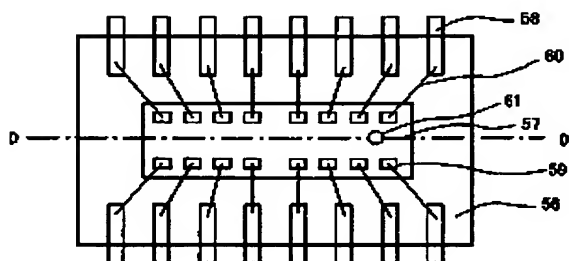
【図2】



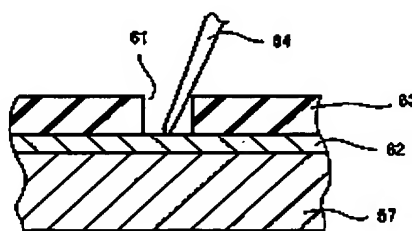
【図3】



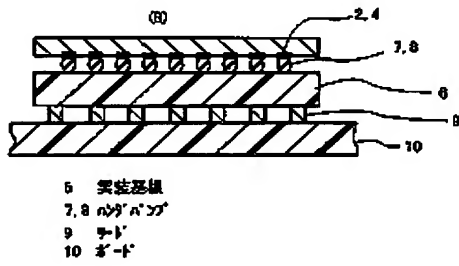
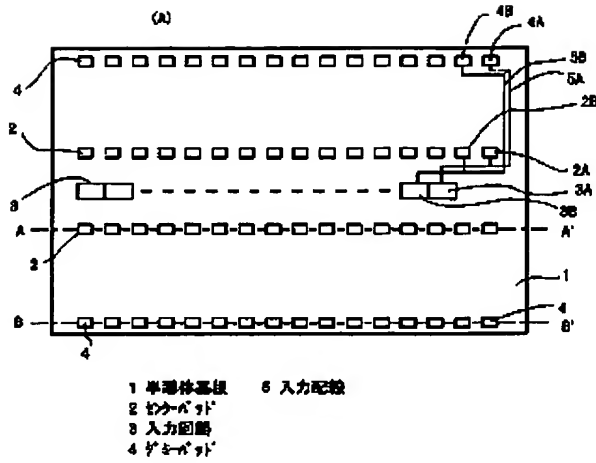
【図11】



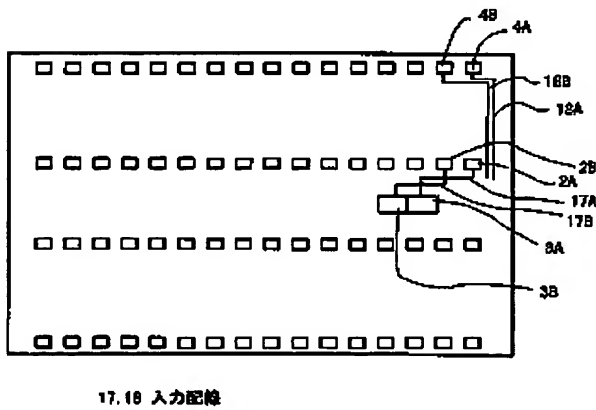
【図12】



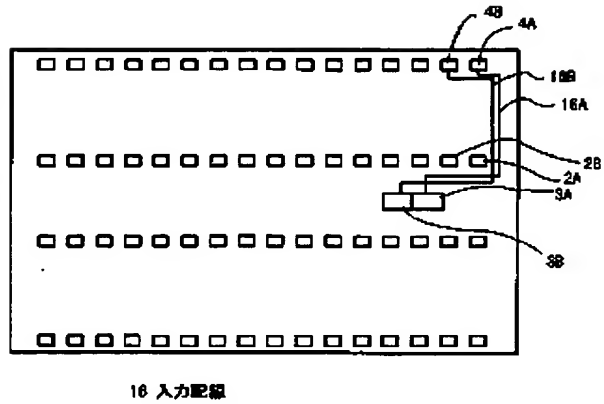
【図1】



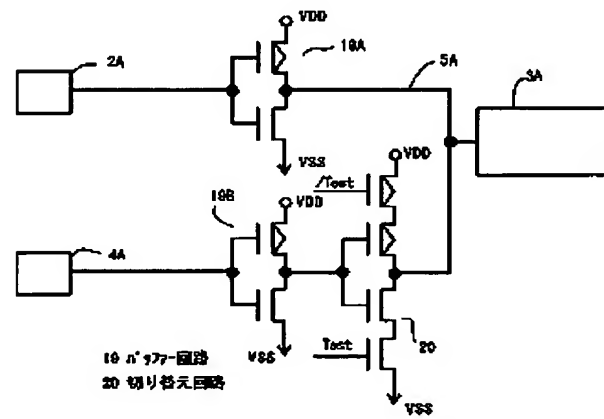
【図5】



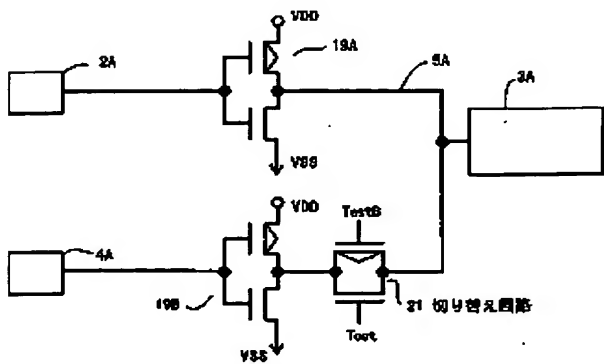
【図4】



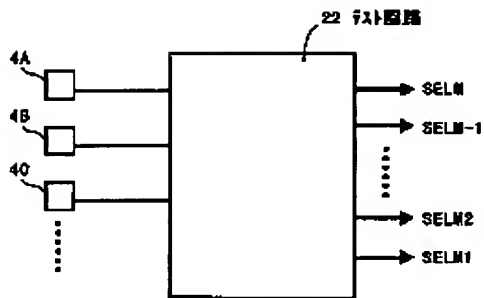
【図6】



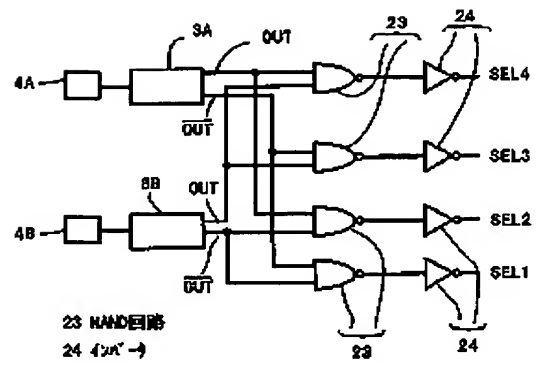
【図7】



【図8】



【図9】



【図10】

